



UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: T.-Y. Chang et al. Attorney Docket No. SIPT121256  
Application No.: 10/601,709 Group Art Unit: ---  
Filed: June 19, 2003 Examiner: ---  
Title: INTEGRATED CIRCUIT DEVICE WITH A BUILT-IN DETECTING  
CIRCUIT FOR DETECTING MAXIMUM MEMORY ACCESS TIME OF AN  
EMBEDDED MEMORY

LETTER TRANSMITTING PRIORITY DOCUMENTS

TO THE COMMISSIONER FOR PATENTS:

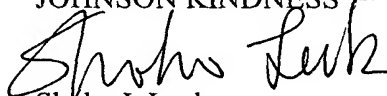
Enclosed is a certified copy of the following application for which a claim of priority  
under 35 U.S.C. § 119 has been made:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>	<u>Title</u>
Taiwan	091134556	Nov. 27, 2002	INTEGRATED CIRCUIT DEVICE WITH A BUILT-IN DETECTING CIRCUIT FOR DETECTING MAXIMUM MEMORY ACCESS TIME OF AN EMBEDDED MEMORY

If the Examiner has any questions, please contact the undersigned.

Respectfully submitted,

CHRISTENSEN O'CONNOR  
JOHNSON KINDNESS<sup>PLLC</sup>

  
Shoko I. Leek

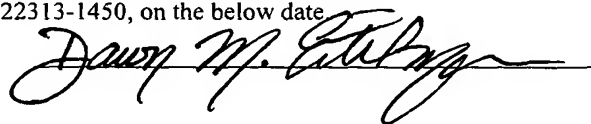
Registration No. 43,746

Direct Dial No. 206.695.1780

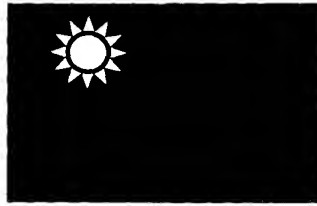
I hereby certify that this correspondence is being deposited with the U.S. Postal Service in a sealed  
envelope as first class mail with postage thereon fully prepaid and addressed to Mail Stop Patent Application,  
Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the below date:

Date:  
SIL:DDP

August 29, 2003



LAW OFFICES OF  
CHRISTENSEN O'CONNOR JOHNSON KINDNESS<sup>PLLC</sup>  
1420 Fifth Avenue  
Suite 2800  
Seattle, Washington 98101  
206.682.8100



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 27 日  
Application Date

申請案號：091134556  
Application No.

申請人：國立清華大學  
Applicant(s)

(西元 2003 年 2 月 11 日張慶元、蕭鳴均、李書  
榮先生將本案之專利申請權讓與國立清華大  
學)

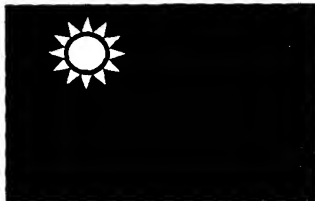
局長

Director General

蔡練生

發文日期：西元 2003 年 5 月 1 日  
Issue Date

發文字號：09220430900  
Serial No.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

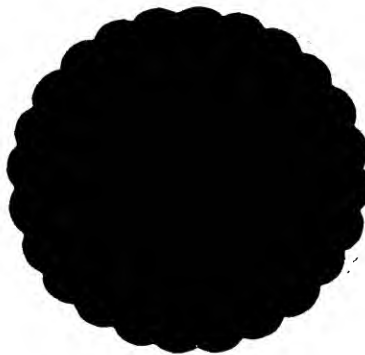
This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請 日：西元 2002 年 11 月 27 日  
Application Date

申請 案 號：091134556  
Application No.

申請 人：清華大學  
Applicant(s)

局 長  
Director General



發文日期：西元 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日  
Issue Date

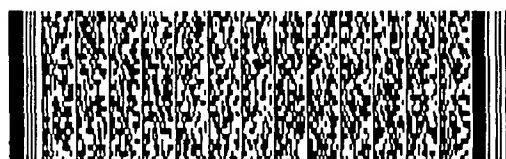
發文字號：  
Serial No.

申請日期： 92.11.27 案號： 91134556  
類別：

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	嵌入式記憶體擷取時間量測方法及裝置
	英文	Embedded Memory Access Time Measurement Method and Device
二、 發明人	姓名 (中文)	1. 張慶元 2. 蕭鳴均 3. 李書榮
	姓名 (英文)	1. Chang, Tsin-Yuan 2. Hsiao, Ming-Jun 3. Lee, Shu-Rong
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市園後街24號4F 2. 台中市大墩路771號5F-1 3. 新竹縣湖口鄉胡湖南村18鄰南勢10-35號
三、 申請人	姓名 (名稱) (中文)	1. 張慶元 2. 蕭鳴均 3. 李書榮
	姓名 (名稱) (英文)	1. Chang, Tsin-Yuan 2. Hsiao, Ming-Jun 3. Lee, Shu-Rong
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所 (事務所)	1. 新竹市園後街24號4F 2. 台中市大墩路771號5F-1 3. 新竹縣湖口鄉胡湖南村18鄰南勢10-35號
	代表人 姓名 (中文)	1. 2. 3.
	代表人 姓名 (英文)	1. 2. 3.

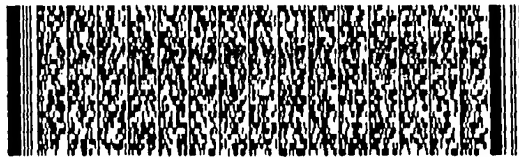
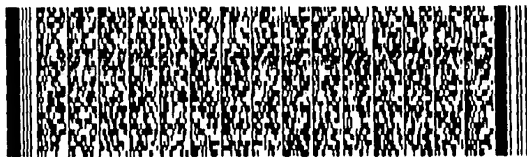


四、中文發明摘要 (發明之名稱：嵌入式記憶體擷取時間量測方法及裝置)

本發明「嵌入式記憶體擷取時間量測方法及裝置」主要目的係為降低量測成本，增加量測精確度、設計能整合於測試流程中，並轉換為數位信號時間數據輸出之記憶體擷取時間量測方法及裝置。本發明之方法主要技術內容為在於配合記憶體測試之重複步驟，在將記憶體細胞元寫入和背景相反資料、再讀取時之擷取時間轉為電壓、電流、電荷、或其他參數，利用下一地址之上述前二步驟時間，同時以峰值偵測器比較並記錄迄今記憶體擷取時間之最大值。本發明之裝置特徵在於量測開始時，使用控制信號以"窗式"比較峰值偵測器中現在擷取時間和以前所存時間最大值，以避開比較器延遲時間、安頓時間，使峰值偵測器中所儲存之最大記憶體擷取時間值為正確值。

英文發明摘要 (發明之名稱：Embedded Memory Access Time Measurement Method and Device)

This invention "Embedded Memory Access Time Measurement Method and Device" is to integrate the memory access time measurement in testing process and to have digital output for reducing the measurement cost. The main technique of the proposed method is to measure the memory access time within repeat testing loops and convert its maximum value by peak detector at the same time. The main technique of the proposed device is to make a window comparison in the peak detector to



四、中文發明摘要 (發明之名稱：嵌入式記憶體擷取時間量測方法及裝置)

英文發明摘要 (發明之名稱：Embedded Memory Access Time Measurement Method and Device)

avoid the setup time and the delaying of the comparator for ensuring the correct value stored in the peak detector.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

有關微生物已寄存於

寄存日期

寄存號碼

(一)、本案指定代表圖爲：第  2  圖

(二)、本代表圖之元件代表符號簡單說明：

- |              |            |
|--------------|------------|
| 10 時脈信號      | 11 地址輸入    |
| 12 資料輸入      | 13 讀寫控制    |
| 14 內建自我測試控制器 | 15 記憶體     |
| 16 記憶體資料輸出   |            |
| 20 待測信號產生    | 21 校正輸入    |
| 22 多工器       | 23 時間電壓轉換器 |
| 24 峰值偵測器     | 25 電壓時間轉換器 |
| 26 時間數位轉換器   | 27 類比數位轉換器 |
| 28 時間數據輸出    | 201 待測信號   |

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



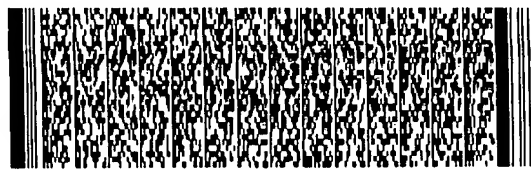
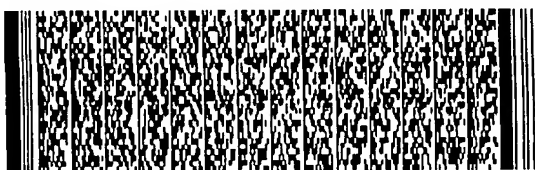
## 五、發明說明 (1)

### 發明的背景：

本發明「嵌入式記憶體擷取時間量測方法及裝置」係為在數百萬邏輯閘建構之單晶片系統(SOC)中，設計對嵌入式記憶體擷取時間量測裝置及測試方法。

由於半導體製程技術的快速演進，單晶片系統(SOC)時代已經來臨。數百萬邏輯閘建構在單一晶片上，可含有處理器核心 (Processor cores) 如中央處理器、DSP 等，標準化介面核心，內建記憶體如、DRAM、SRAM、快閃記憶體等，類比核心如 PLL、Op Amp 等，種類繁多。其中嵌入式記憶體所佔面積最大，因為系統對資料儲存、程式下載、圖形處理等所需記憶體容量要求極大之故。單晶片系統應用於便攜式產品如 PDA、大哥大等；多媒體產品之數位相機、電腦遊戲等使其市場近年來快速成長。根據 Dataquest 估計，到公元 2003 年，單晶片系統將超過 300 億美金。

嵌入式記憶體核心尺寸龐大，較難從外界經輸出入腳控制與觀察，故有內建式自我測試(Built-In Self-Test, BIST)之測試方式。又因記憶體擷取時間(access time)快慢，決定產品品質與價格，且輸出入腳本身有電感、電容、電阻，是故從外界自動測試儀器(ATE)經輸出入腳控制以觀察擷取時間(access time)之方法，不但需高價快



## 五、發明說明 (2)

速自動測試儀器，而且所量測擷取時間並不精確。

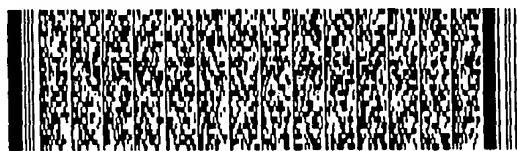
時間量測技術是將待測時間放大，再以已知高速時脈信號計數；或以衰減方式將待測時間經迴路衰減以量測其值，故量測須花時間比待測時間更久。因此對每個嵌入式記憶體位址直接量測擷取時間，費時甚久。在產品量產情形下，並不可行。

參見第一圖傳統 RAM 產品出貨流程。參數量測包括速度分級，和邏輯測試分別執行，本發明即針對單晶片系統中，嵌入式記憶體擷取時間量測裝置設計及研究量測方法，配合已有內建式自我測試電路之測試，整合邏輯測試和參數量測將嵌入式記憶體擷取時間轉為數位資訊，僅需低檔自動測試儀器(ATE)即可控制與觀察，以大幅減少量測時間，降低量測成本，增加量測精確度。

先前相關技術詳見參考文獻[1-9]：其中時間量測技術有用雙斜率方式[4, 7, 8]，內差法計數器方式[3, 5]，及延遲矩陣方式[2, 6]。有從外界自動測試儀器(ATE)配以擷取時間量測電路，觀察擷取時間之方法[1]。

### 參考文獻

[1] Nai-Yin Sung and Tsung-Yi Wu, "A Method of



五、發明說明 (3)

Embedded Memory Access Time Measurement,"  
Proceeding of International Symposium Quality  
Electronic Design, pp.462-465, 2001

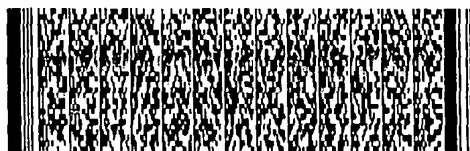
[2] Poki Chen, and Shen-Iuan Liu, "A Cyclic CMOS  
Time to Digital Converter With Deep Sub-nanosecond  
Resolution," Proceedings of Custom-Integrated  
Circuit Conference, pp.605-608, 1999.

[3] T. I Otsuji, "A Pico second-accuracy, 700MHz  
Range, Si-Bipolar Time Interval Counter with 30ps  
Resolution" IEEE Journal of Solid- State Circuits,  
vol. 28, no. 9, pp. 941-947, 1993.

[4] E. Raisanen - Ruosalainen, T. Rahkonen and J.  
Kostamovaara, "Time interval Measurements Using  
Time-to Voltage Conversion with Build-in  
Dual-Slope A/D Conversion", Proceeding of ISCAS,  
vol.5, pp.2573-2576, 1991.

[5] E. Raisanen - Ruosalainen, T. Rahkonen and J.  
Kostamovaara, "A BiCMOS Time to Digital Converter  
with 30ps Resolutions", Proceeding of ISCAS,  
vol.1, pp.278-281, 1999.

[6] E. Raisanen - Ruosalainen, T. Rahkonen and J.  
Kostamovaara, "A Low Power CMOS Time-to-Digital  
Converter", IEEE Journal of Solid State Circuit,  
vol. 30, no.9, pp.984-990, 1995.



五、發明說明 (4)

- [7] M. J. Hsiao, J. R. Huang, S.S. Yang and T. Y. Chang, "A Low-Cost CMOS Time Interval Measurement Core", Proceeding of ISCAS, vol.4, pp. 190-193 2001.
- [8] M. J. Hsiao, J. R. Huang, S.S. Yang and T. Y. Chang, "A Built-In Timing Parametric Measurement Unit", Proc. of ITC, Paper 11.3, pp. 315-322.
- [9] K. Koli, K Halonen, "Low voltage MOS-Transistor-only precision current peak detector with signal independent discharge time constant" Proceedings of ISCAS, vol.3. pp. 1992-1995, 1997.

本發明為李書榮先生之碩士論文，題目"一個嵌入式記憶體擷取時間量測方法"中華民國九十一年六月22日。並發表在2002年11月20日美國關島之國際會議ATS (Asian Test Symposium)，題目為"An Access Time Measurement Unit of Embedded Memory"論文集第104-109頁。

依專利法第二十條第一項所述，申請前已鑑於刊物，「但因研究、實驗而發表或使用，於發表或使用之日啟六個月內申請專利者，不在此限」，故本案在民國91年12月



## 五、發明說明 (7)

第二圖為整合測試流程之本發明量測方法示意圖。

第三圖為整合測試流程之本發明量測方法實施例。

第四圖為單獨使用本發明量測方法流程圖。

第五圖為先前技術之比較器缺點。

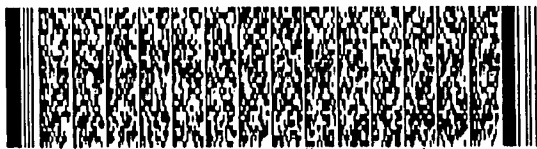
第六圖為本發明量測裝置實施例。

第七圖為本發明量測裝置比較器模擬結果。

第八圖為本發明量測裝置線性分析。

### 元件符號說明：

10 時脈信號	11 地址輸入
12 資料輸入	13 讀寫控制
14 內建自我測試控制器	15 記憶體
16 記憶體資料輸出	
20 待測信號產生	21 校正輸入
22 多工器	23 時間電壓轉換器

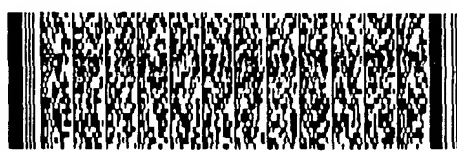


五、發明說明 (8)

- |                       |             |
|-----------------------|-------------|
| 24 峰值偵測器              | 25 電壓時間轉換器  |
| 26 時間數位轉換器            | 27 類比數位轉換器  |
| 28 時間數據輸出             |             |
| 200 歸零信號              | 201 待測信號    |
| 202 記憶體測試未結束          | 203 記憶體測試結束 |
| 235 時間電壓轉換器輸出         |             |
| 241 放電控制信號            | 242 取樣信號    |
| 243 延遲電路              | 244 比較器     |
| 245 峰值偵測器輸出           | 246 緩衝器     |
| 255 電壓時間轉換器輸出         |             |
| R0 讀0 (讀取記憶體所存資料期望為0) |             |
| R1 讀1 (讀取記憶體所存資料期望為1) |             |
| W0 寫0 (寫入資料0至記憶體)     |             |
| W1 寫1 (寫入資料1至記憶體)     |             |

本發明嵌入式記憶體擷取時間量測方法

參見第二圖本發明整合測試流程之量測方法示意圖。嵌入式記憶體(15)有內建自我測試控制器(14)及其相關輸入信號：時脈信號(10)、地址輸入(11)、資料輸入(12)、和讀寫控制(13)。待測信號產生(20)方塊是由時脈信號(10)、讀寫控制(13)、和記憶體資料輸出(16)為其輸入，產生出待測信號(201)。此待測信號產生(20)方塊為習知



#### 五、發明說明 (9)

技藝，故不累述。

本發明嵌入式記憶體擷取時間量測方法為將待測信號(201)時間長短，經由時間電壓轉換器(23)轉換為電壓大小，再以峰值偵測器(24)和以前所存最大值比較，將迄今最大值儲存，以待下次比較，直到記憶體測試結束，比對過所有記憶體細胞元之擷取時間為止；此時所儲存電壓即為記憶體擷取時間之最大值，再將該最大值電壓利用電壓時間轉換器(25)轉換為時間，再經時間數位轉換器(26)轉換為數位信號時間數據輸出(28)。

一般量測電路需校正，以取得相關常數。本發明嵌入式記憶體擷取時間量測方法之校正方式為經由校正輸入(21)灌入兩組已知時間輸入，觀查時間數據輸出(28)，以求線性方程式斜率值及平移值。做為計算待測信號時間之用。故需多工器(22)以選擇校正輸入(21)或由待測信號產生(20)方塊輸出之待測信號(201)。

本發明嵌入式記憶體擷取時間量測方法使用之電壓時間轉換器(25)和時間數位轉換器(26)可由類比數位轉換器(27)取代之。

本發明嵌入式記憶體擷取時間量測方法使用之時間電壓轉換亦或轉換為其他參數，例如電流、電荷等。唯前述

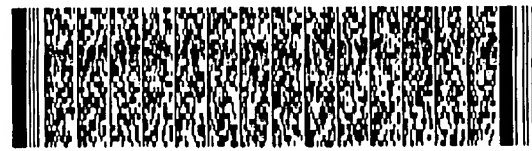


#### 五、發明說明 (10)

之時間電壓轉換器(23)、峰值偵測器(24)、電壓時間轉換器(25)、或類比數位轉換器(27)亦需變更以同樣參數設計之。

參見第三圖整合測試流程之本發明量測方法實施例。在記憶體測試中，常會出現讀0(R0)、寫1(W1)、讀1(W1)或讀1(R1)、寫0(W0)、讀0(R0)的重複順序。本發明即量測寫0(W0)或寫1(W1)後接著要讀0(R0)或讀1(R1)時的記憶體擷取時間，利用三個時脈信號(10)時間(即量測上述第三步驟讀0(R0)或讀1(R1)元之擷取時間，和利用下一地址之上述前二步驟讀1(R1)或讀0(R0)、寫0(W0)或寫1(W1))完成一次記憶體擷取時間量測。

第三圖說明如下：重複讀0(R0)、寫1(W1)、讀1(W1)順序時，假設第一個時脈信號(10)在寫1(W1)，則下幾個時脈信號(10)依序在讀1(R1)、讀0(R0)、寫1(W1)…。在第二個時脈信號(10)發生動作如下：記憶體擷取時間之待測信號(201)產生；放電控制信號(241)之前已經完成歸零時間電壓轉換器輸出(235)，故此時不啟動(變為低電位)；使得時間電壓轉換器輸出(235)開始動作，轉換待測信號(201)時間為電壓值；取樣信號(242)之前為關閉狀態(低電位)，現為啟動狀態(變為高電位)；峰值偵測器輸出(245)經一小段時間延遲後開始追較大值之時間電壓轉換器輸出(235)，追上後亦經一小段安頓時間才維持穩定。





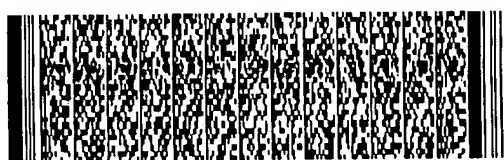
## 五、發明說明 (11)

在第三個時脈信號(10)結束之前發生動作如下:取樣信號(242)已經完成取樣,故變為關閉狀態(低電位);放電控制信號(241)啟動(變為高電位)以歸零時間電壓轉換器輸出(235);第四個時脈信號(10)延續之前已經完成動作,以預備下一個記憶體擷取時間量測週期開始。

參見第四圖單獨使用本發明量測方法流程圖。首先對記憶體背景資料初值化,及校正量測裝置以取得相關參數。接著針對記憶體每個地址寫入與背景資料不同值,再讀取,以量測記憶體擷取時間。再針對同一地址寫入與前次資料不同值(即與背景資料相同值),並讀取,以量測記憶體擷取時間。重複上述步驟直到完成最後地址,再將所測時間數據輸出,由校正量測裝置取得之相關參數計算記憶體擷取時間時間。

### 本發明嵌入式記憶體擷取時間量測裝置

參見第五圖先前技術之比較器缺點。先前技術之比較器當峰值偵測器輸出(245)和電壓轉換器輸出(235)電壓相差大時,除經一段時間延遲及安頓時間後,才維持穩定。但會有少許誤差,未能鎖定在最大值。再者,當峰值偵測



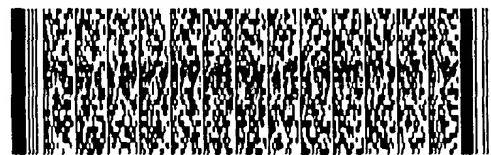
#### 五、發明說明 (12)

器輸出(245)和電壓轉換器輸出(235)電壓相差小時，因先前技術之比較器時間延遲來不及反應，未能鎖定在較大值。為改良先前技術之缺失，本發明使用控制信號以"窗式"比較峰值偵測器中現在擷取時間和以前所存時間最大值，以避開比較器延遲時間、安頓時間，使峰值偵測器中所儲存之最大記憶體擷取時間值為正確值。

參見第六圖本發明量測裝置實施例。本發明嵌入式記憶體擷取時間量測裝置係由時間電壓轉換器(23)、峰值偵測器(24)、電壓時間轉換器(25)、延遲電路(243)、時間數位轉換器(26)(圖六未畫)、待測信號(201)、和外界輸入控制信號如歸零信號(200)、記憶體測試未結束(202)、記憶體測試結束(203)所組成。其中：

時間電壓轉換器(23)可為積分電路，積分待測信號(201)時間為電壓值；峰值偵測器(24)由歸零信號(200)、記憶體測試未結束(202)分別控制歸零及儲存比較大值；記憶體測試結束(203)控制最後結果經由電壓時間轉換器(25)傳出，電壓時間轉換器輸出(255)即為量測之記憶體擷取時間。

參見第三圖，延遲電路(243)係依待測信號(201)產生取樣信號(242)和放電控制信號(241)以完成取樣；當待測時脈(201)啟動時，取樣信號(242)立即啟動固定時間，而

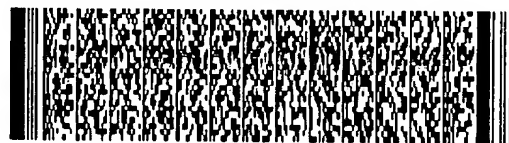


##### 五、發明說明 (13)

放電控制信號(241)立即為不動作一固定時間，但比取樣信號(242)時間長。待峰值偵測器(24)已完成比較且鎖定較大值後，取樣信號(242)才結束；而取樣信號(242)結束後一小段時間，待比較器安頓後，放電控制信號(241)才啟動，開始放電為下次量測做預備動作。比較時間僅存在於取樣信號(242)啟動時，故為"窗式"比較。

參見第七圖本發明量測裝置比較器模擬結果。第七圖時間電壓轉換器輸出(235)為細實線，峰值偵測器輸出(245)為粗淡線且證實能鎖定時間電壓轉換器輸出(235)之最大值。參見第八圖本發明量測裝置線性分析，證實本發明量測裝置具有良好線性度，可以線性方程式校正知。

本案經軟體工具模擬無誤，又本案部份結果經國際知名期刊接受印載，且於規定期限內申請專利，故本案具產業實用性、進步性、新穎性，符合專利三要件。期使審查委員易於瞭解，以早日取得發明專利為荷。



## 六、申請專利範圍

1. 嵌入式記憶體擷取時間量測方法係將待測信號時間長短，經由時間電壓轉換器轉換為電壓大小，再以峰值偵測器和以前所存最大值比較，將迄今最大值儲存，以待下次比較，直到記憶體測試結束，比對過所有記憶體細胞元之擷取時間為止；此時所儲存電壓即為記憶體擷取時間之最大值，再將該最大值電壓利用電壓時間轉換器轉換為時間，再經時間數位轉換器轉換為數位信號時間數據輸出；

主要技術內容在於配合記憶體測試中，出現讀背景資料、寫入和背景相反資料、讀取剛寫入資料的重複三步驟順序，量測上述第三步驟讀取剛寫入記憶體細胞元之擷取時間，利用下一地址之上述前二步驟時間，同時以峰值偵測器比較並記錄迄今記憶體擷取時間之最大值，以整合於測試流程中，並轉換為數位信號時間數據輸出，以節省成本。

2. 如申請專利範圍第1項所述嵌入式記憶體擷取時間量測方法，其中電壓時間轉換器和時間數位轉換器可由類比數位轉換器取代之。

3. 如申請專利範圍第1、2項所述嵌入式記憶體擷取時間量測方法，其中待測信號時間長短亦或轉換為電流、電荷、或其他參數，並不限於電壓大小；唯申請專利範圍第1、2項所述時間電壓轉換器、峰值偵測器、電壓時間轉換



#### 六、申請專利範圍

器、或類比數位轉換器亦需變更以同樣參數設計之。

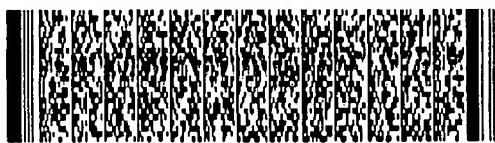
4. 本發明嵌入式記憶體擷取時間量測裝置包含由時間電壓轉換器、峰值偵測器、電壓時間轉換器、延遲電路、時間數位轉換器、待測信號、和外界輸入控制信號：歸零信號、記憶體測試未結束、記憶體測試結束所組成，其中：

時間電壓轉換器可為積分電路，積分待測信號時間為電壓值；

峰值偵測器由歸零信號、記憶體測試未結束分別控制歸零及儲存比較大值；記憶體測試結束控制最後結果經由電壓時間轉換器傳出，經時間數位轉換器輸出即為量測之記憶體擷取時間數位輸出；

延遲電路係依待測信號產生取樣信號和放電控制信號以完成取樣；當待測時脈啟動時，取樣信號立即啟動固定時間，而放電控制信號立即為不動作一固定時間，但比取樣信號時間長；待峰值偵測器已完成比較且鎖定較大值後，取樣信號才結束；而取樣信號結束後一小段時間，待比較器安頓後，放電控制信號才啟動，開始放電為下次量測做預備動作；

特徵在於量測開始時，依待測信號使用控制信號以"



六、申請專利範圍

窗式"比較峰值偵測器中現在擷取時間和以前所存時間最大值，以避開比較器延遲時間、安頓時間，使峰值偵測器中所儲存之最大記憶體擷取時間值為正確值。

5. 如申請專利範圍第4項所述嵌入式記憶體擷取時間量測裝置，其中電壓時間轉換器和時間數位轉換器可由類比數位轉換器取代之。

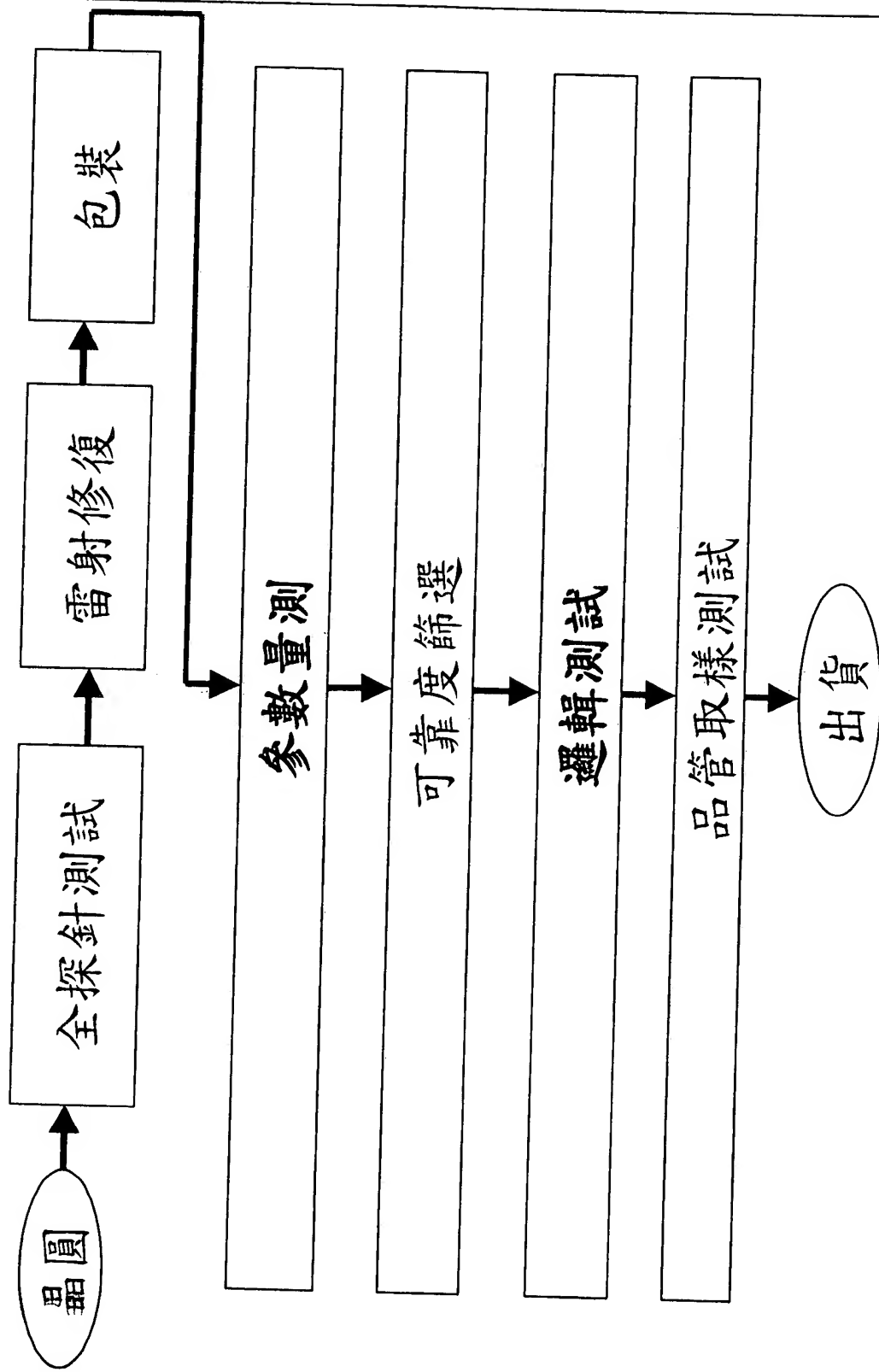
6. 如申請專利範圍第4、5項所述嵌入式記憶體擷取時間量測裝置，其中時間電壓轉換器、峰值偵測器、電壓時間轉換器、或類比數位轉換器亦或變更為時間電流轉換器、電流峰值偵測器、電流時間轉換器、或電流式類比數位轉換器。

7. 如申請專利範圍第4、5項所述嵌入式記憶體擷取時間量測裝置，其中時間電壓轉換器、峰值偵測器、電壓時間轉換器、或類比數位轉換器亦或變更為時間電荷轉換器、電荷峰值偵測器、電荷時間轉換器、或電荷式類比數位轉換器。



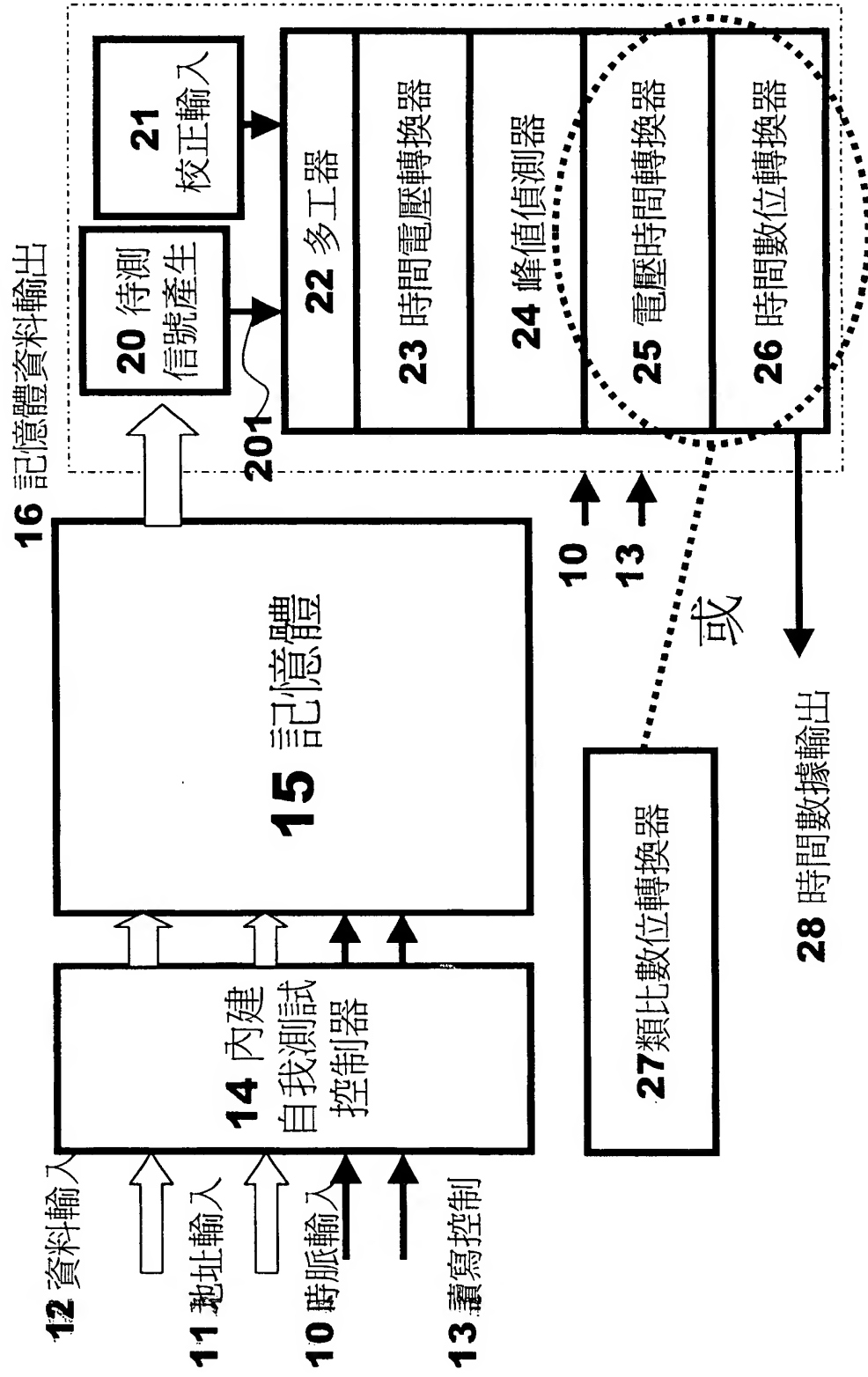
圖式

圖一 傳統 RAM 產品出貨流程圖



圖式

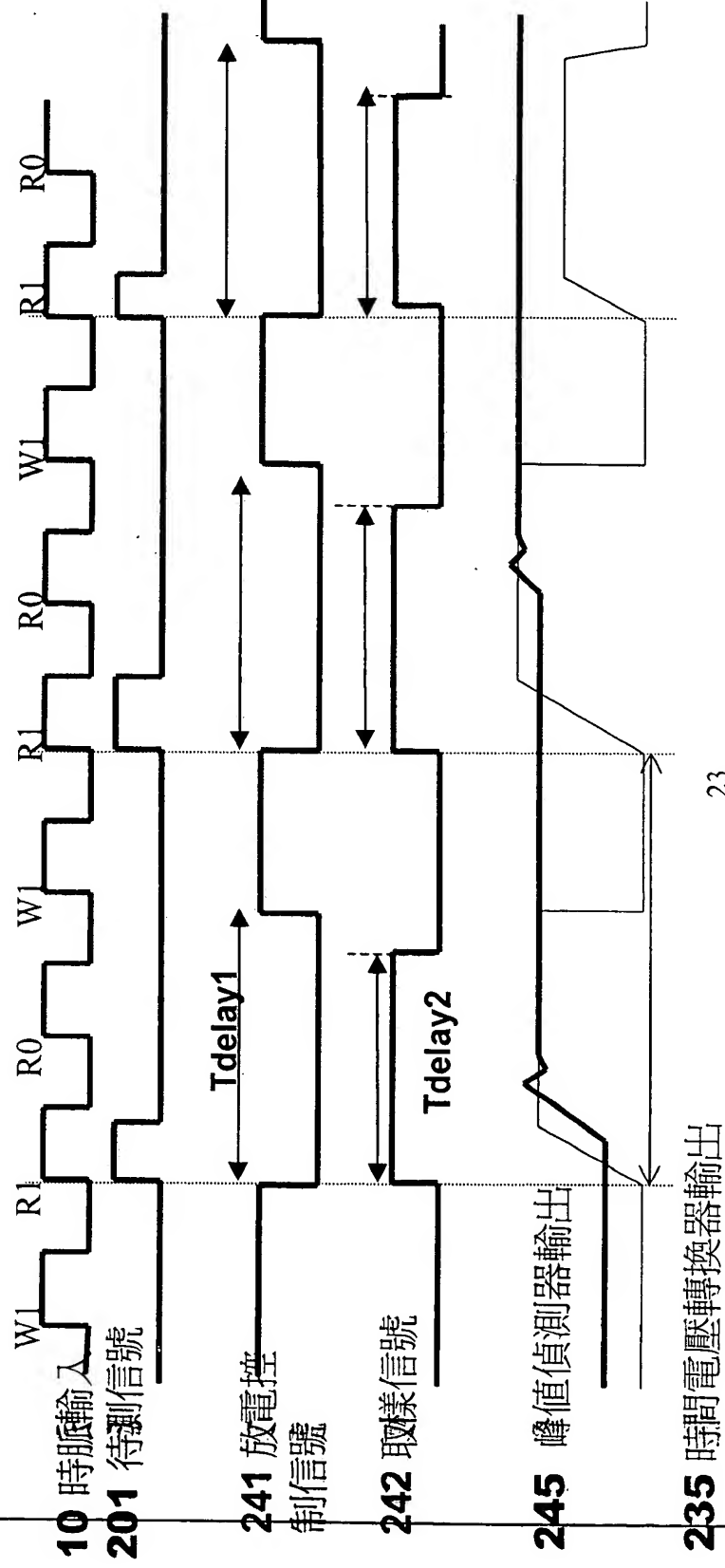
圖二 整合測試流程之本發明量測方法示意圖





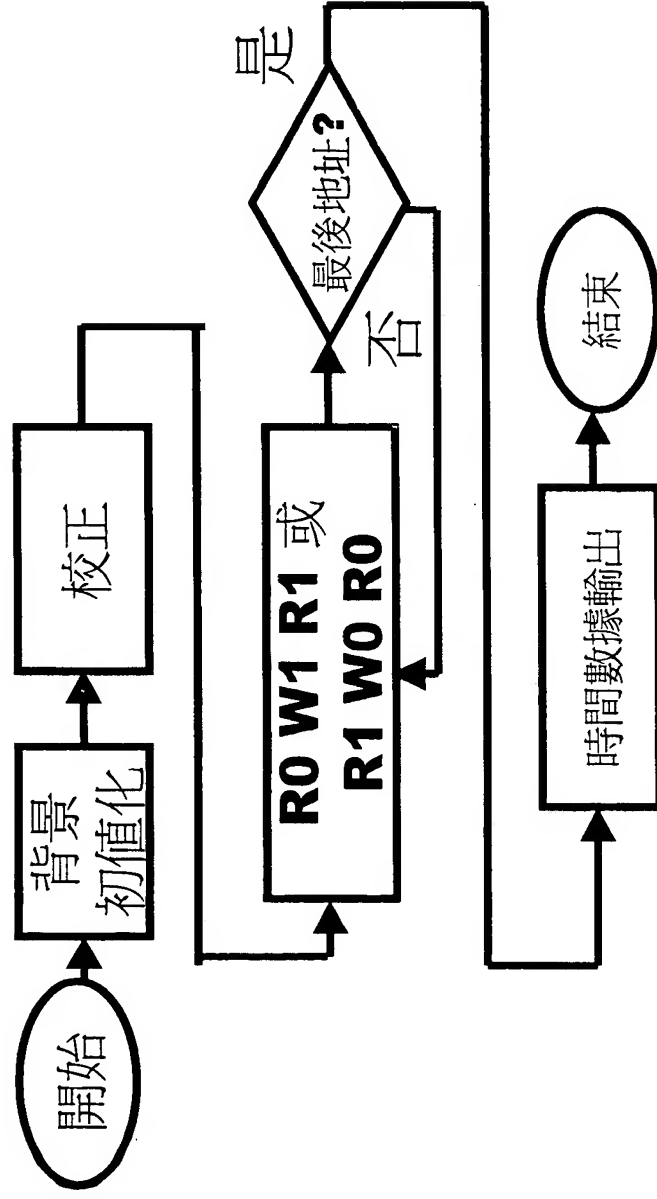
## ■ 整合於 March C+ 測試流程

- $\uparrow$  W0 (to initialize)
- $\uparrow$  R0, W1, R1
- $\uparrow$  R1, W0, R0
- $\downarrow$  R0, W1, R1
- $\downarrow$  R1, W0, R0



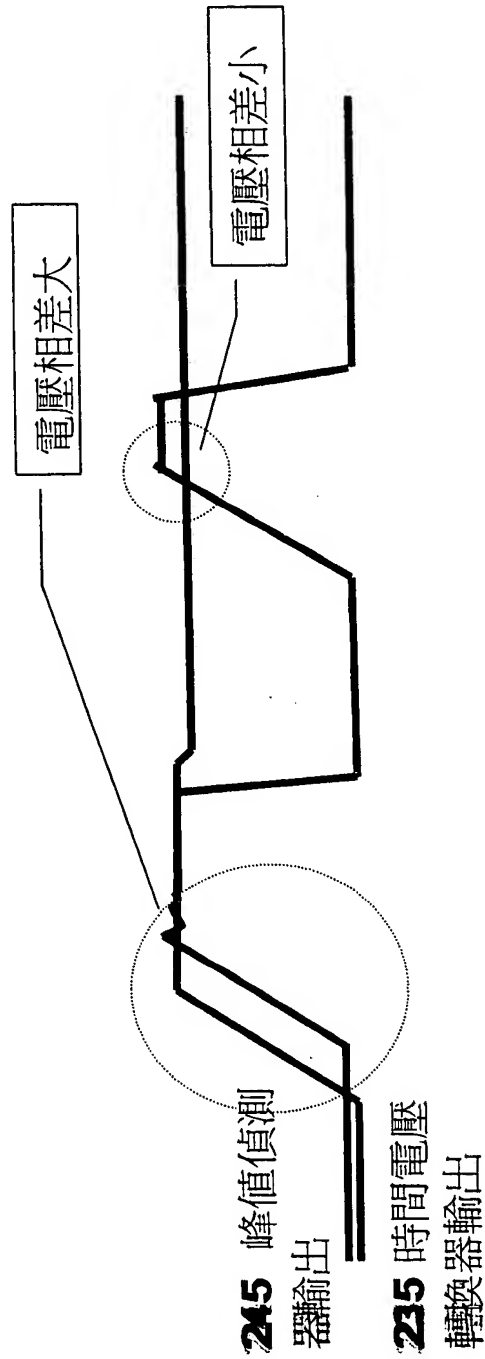
圖式

圖四 單獨使用本發明量測方法流程圖



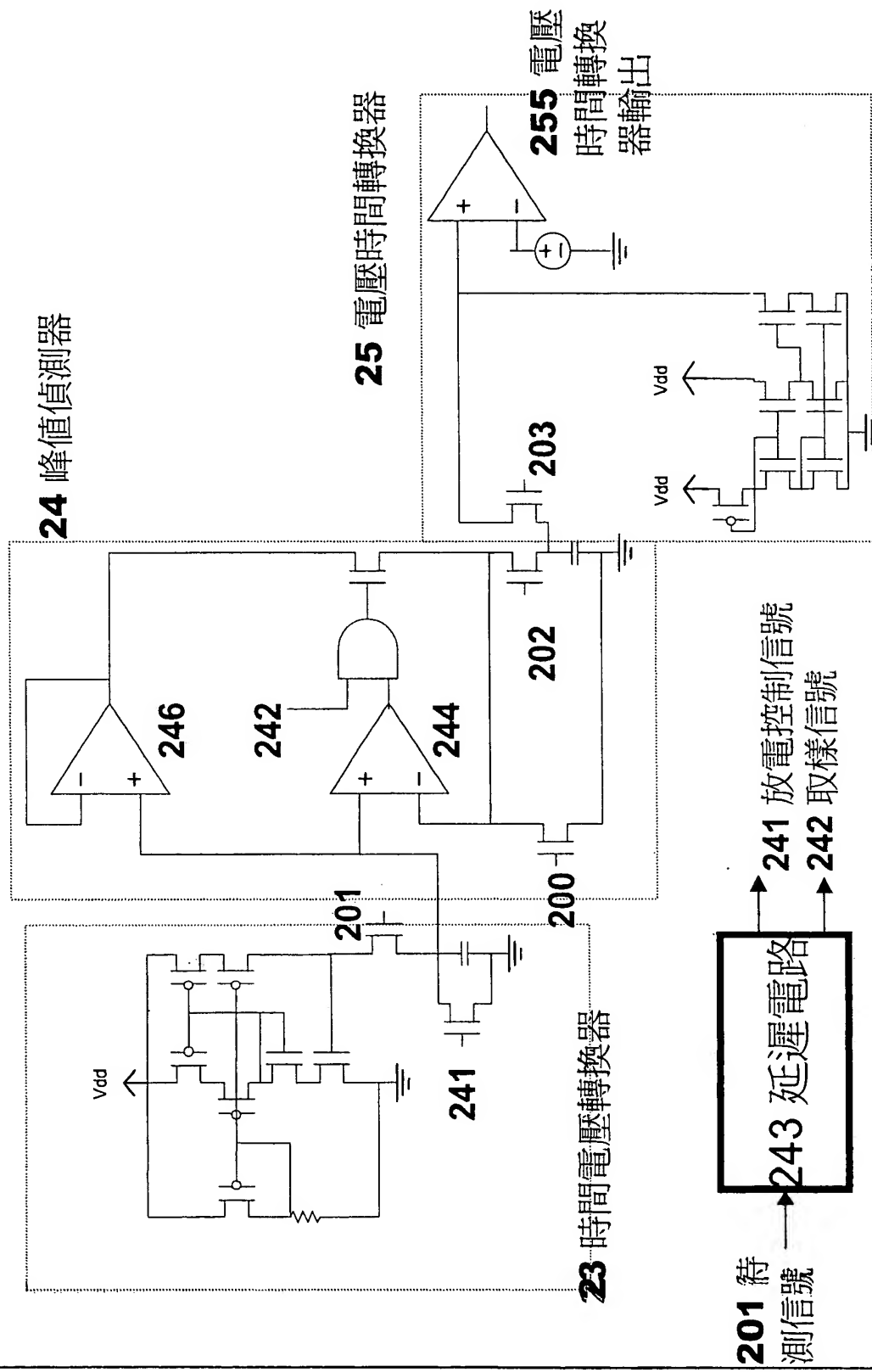
# 圖式

## 圖五 先前技術之比較器缺點



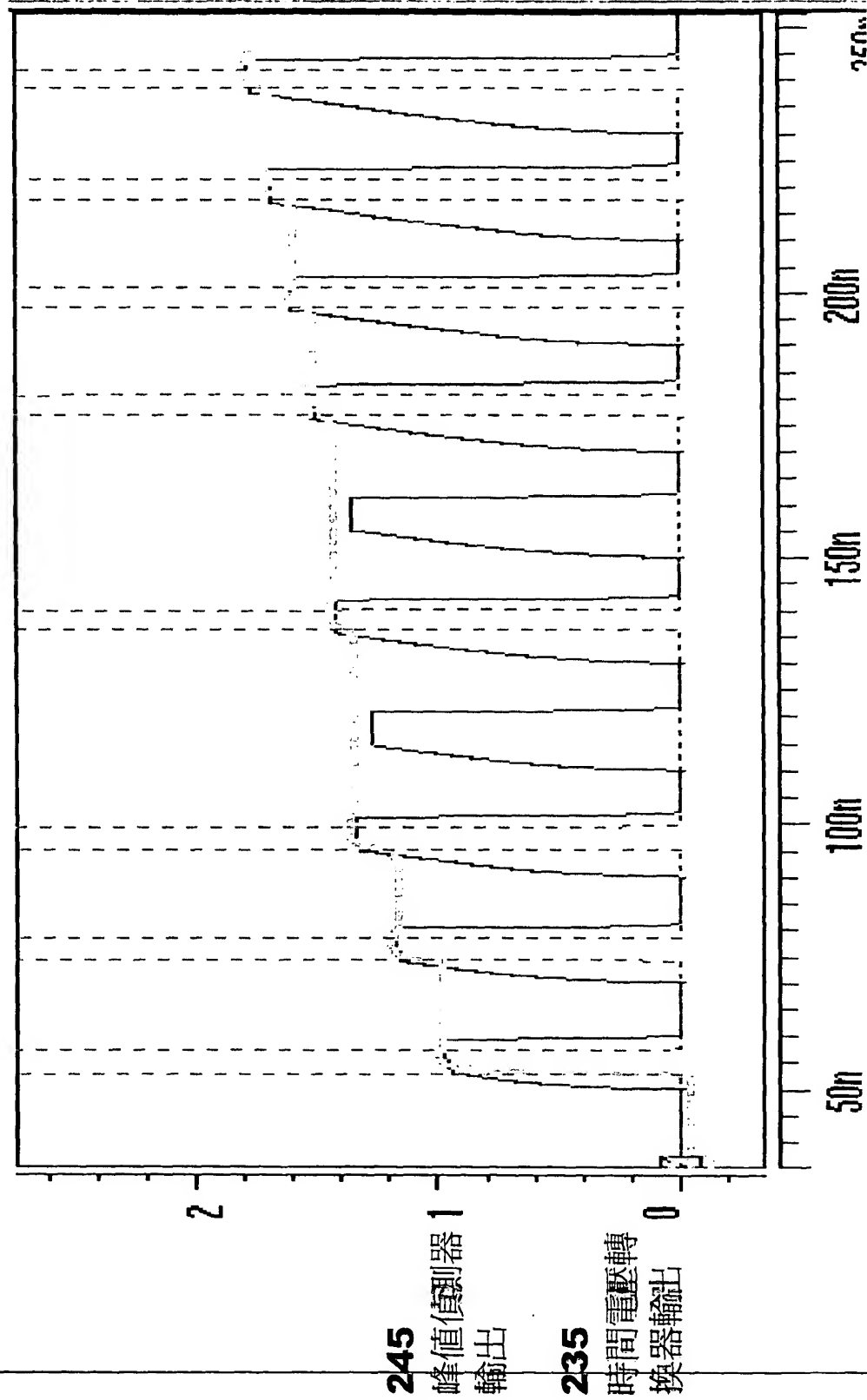
圖式

圖六 本發明量測裝置實施例



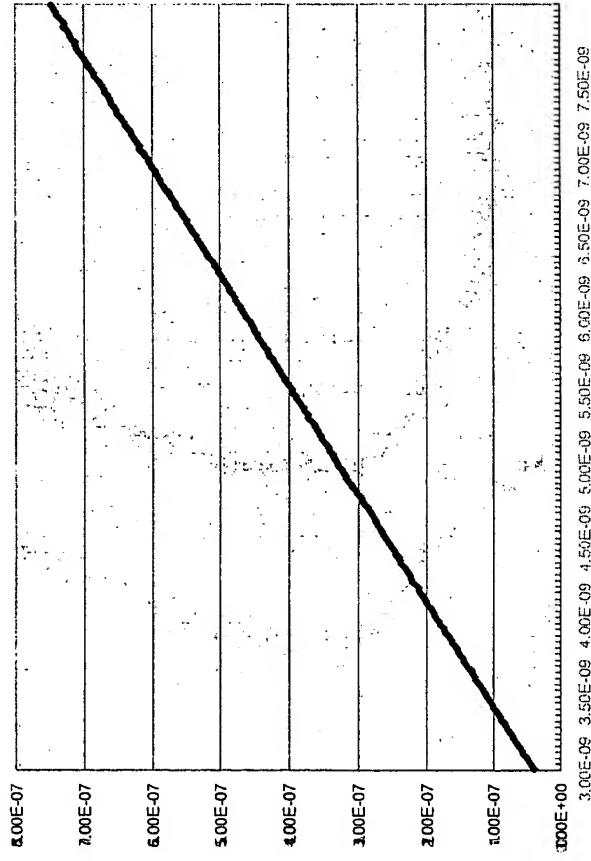
圖式

圖七 本發明量測裝置比較器模擬結果



圖式

圖八本發明量測裝置線性分析



解析度=0.02ns  
250 個取樣

	斜率	平移	平均電壓 間隔	平均時間間 隔	線性誤差	時間誤差
期望值	141.14	-378.36ns	4mv	2.82ns	0.748%	0.025ns
量測值	141.62	-383.58ns	<4mV	2.83ns		

$$0.02\text{ns} * 141 = 2.82\text{ns}$$